



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0073227
Application Number

출원 년 월 일 : 2002년 11월 22일
Date of Application NOV 22, 2002

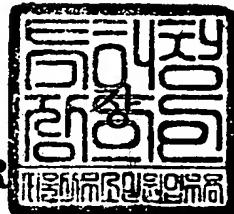
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.22
【발명의 명칭】	클럭 스퀘어 회로
【발명의 영문명칭】	CLOCK SQUARER
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	서진호
【성명의 영문표기】	SEO, JIN HO
【주민등록번호】	670628-1821317
【우편번호】	156-030
【주소】	서울특별시 동작구 상도동 412 상도현대아파트 101동 601호
【국적】	KR
【발명자】	
【성명의 국문표기】	김대규
【성명의 영문표기】	KIM, DAE GYU
【주민등록번호】	651105-1535410
【우편번호】	435-040
【주소】	경기도 군포시 산본동 1072-3번지 201호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】 13 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 7 항 333,000 원

【합계】 362,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 클럭 스쿼어 회로에 관한 것으로, 반도체 칩 패드와 구형파 발생회로를 갖는 클럭 스쿼어 회로에 있어서, 패드와 구형파 발생회로 사이에 커패시터를 구비하여 온도, 공정, 또는 전원전압이 변화하더라도 안정된 듀티를 가진 구형파를 발생시킬 수 있는 것을 특징으로 한다. 본 발명에 따른 클럭 스쿼어 회로는 누설전류가 큰 공정 또는 고속동작이 요구되는 제품의 제조공정에 적용할 수 있다.

【대표도】

도 4

【명세서】

【발명의 명칭】

클럭 스퀘어 회로{CLOCK SQUARER}

【도면의 간단한 설명】

도 1은 종래의 클럭 스퀘어 회로를 나타내는 도면이다.

도 2는 도 1에 도시된 종래의 클럭 스퀘어 회로에서 정전기 보호소자를 저항으로 모델링하여 나타낸 도면이다.

도 3은 온도, 공정, 및 전원전압이 변화할 경우 도 1에 도시된 종래의 클럭 스퀘어 회로의 주요 부분의 파형을 나타낸 도면이다.

도 4는 본 발명에 따른 클럭 스퀘어 회로를 나타내는 도면이다.

도 5는 온도, 공정, 및 전원전압이 변화할 경우 도 4에 도시된 본 발명에 따른 클럭 스퀘어 회로의 주요 부분의 파형을 나타낸 도면이다.

<도면의 주요부분에 대한 부호의 설명>

10 : 패드

20 : 슈미트트리거 회로

30 : 정전기 보호회로

40 : 구형파 발생회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 온도(Temperature), 공정(Process), 또는 전원전압이 변화하더라도 안정된 듀티(Duty)를 가진 구형파(Square Wave)를 발생시킬 수 있는 클럭 스쿼어 회로(Clock Squarer)에 관한 것이다.

<10> 반도체 장치가 고 집적화, 고속 동작화를 지향하면서 누설전류(Leakage Current) 문제가 나타나고 있다. 누설전류에는 여러 종류가 있는데, 그 중 서브 문턱전압 누설전류(Sub-threshold voltage Leakage Current)와 게이트 터널링에 의한 게이트 누설전류(Gate Leakage Current)는 회로를 설계하는 데 있어서 장애 요소가 되고 있다. 특히, 반도체 장치의 입출력 셀(I/O Cell)에서는 정전기(Electrostatic Discharge; ESD) 보호를 위해서 상당히 큰 면적의 보호 소자를 사용하는데, 이 소자를 통해서 흐르는 누설전류는 반도체 칩 설계 시에 큰 장애 요소가 된다.

<11> 온도(Temperature), 공정(Process), 또는 전원전압이 변화하면, 반도체 장치 입출력 셀의 패드(PAD)에 나타나는 누설전류도 따라서 변화하고, 이 중 온도변화에 의한 누설전류의 변화가 제일 크다. 예를 들면, 125℃의 고온에서 NMOS(N-type Metal-Oxide-Semiconductor) 트랜지스터나 PMOS(P-type MOS) 트랜지스터의 오프 상태에서의 드레인 전류(Idoff)는 상온에서와 비교할 때 약 30 배 정도가 되며, 이들 소자가 적용된 회로의 패드에서 발생하는 누설전류는 수백 μA 에 이른다. 이것은 패드에서 접지 방향으로 수 $\text{k}\Omega$ 정도의 저항이 연결되어 있는 것과 같은 효과를 가진다. 도 1은 종래의

클럭 스퀘어 회로를 나타내는 도면이고 도 2는 도 1에 도시된 종래의 클럭 스퀘어 회로에서 정전기 보호소자를 저항으로 모델링하여 나타낸 도면이다. 클럭 스퀘어 회로(Clock Squarer)는 기본적으로 도 1에 도시된 바와 같이, 인버터(INV1) 및 인버터(INV1)의 입력단과 출력단 사이에 연결된 피드백 저항(R_{fb})으로 구성된다. 인버터(INV1)의 입력단과 출력단에서의 DC 동작 전압은 동일하다. 따라서, 인버터의 V_{th} (전압 전달 곡선 상에서 입력전압과 출력전압이 동일한 전압)를 $V_{dd}/2$ 로 정확히 만들어 주면 DC 동작전압은 $V_{dd}/2$ 가 된다. 만일, 인버터(INV1)의 입력단에 누설 경로(Leakage Path)가 없다면 피드백 저항이 매우 커지더라도 DC 동작전압은 $V_{dd}/2$ 를 가진다. 그러나, 실제로는 도 1에 도시된 바와 같이, 인버터(INV1)의 입력단에는 정전기 보호소자(MP1, MN1)가 설치되어 있고 이 정전기 보호소자(MP1, MN1)는 도 2와 같이 모델링할 수 있다. 인버터(INV1)의 입력단과 출력단에서의 DC 전압이 같아지기 위해서는 피드백 저항(R_{fb})을 통해서 흐르는 누설전류는 무시할 수 있을 정도로 작아야 한다. 정전기 보호소자를 통해서 흐르는 전류는 수 백 μA 에 이르므로 피드백 저항(R_{fb})은 수 mA를 흘릴 수 있는 저항치, 예를 들면 1 k Ω 정도의 저항치를 가져야 하고 인버터(INV1)의 크기도 매우 커져야 한다. 따라서, 종래의 방법으로 누설전류가 큰 제조 공정을 사용하여 클럭 스퀘어 회로를 설계하는 것은 매우 어려운 일이다. 도 3은 온도, 공정, 및 전원전압이 변화할 때 도 1에 도시된 종래의 클럭 스퀘어 회로의 주요 부분의 파형을 나타낸 도면이다. 클럭 스퀘어 회로의 출력 전압(V_{OUT})은 특정조건에서 구형파(Square Wave)가 되지 않는 것을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <12> 상술한 바와 같은 문제점을 해결하기 위하여, 본 발명에 따른 클럭 스퀘어 회로는 구형파 발생회로의 입력단에 커패시터를 구비하여, 반도체 칩의 패드에서의 전압이 온도

, 공정, 또는 전원전압의 변화에 의해 변화하더라도 구형파 발생회로의 입력단 전압이 VDD/2 근처의 안정된 값을 유지하고, 출력전압의 파형은 완벽한 구형파가 된다.

<13> 본 발명의 목적은 온도, 공정, 또는 전원전압이 변화하더라도 안정된 듀티(Duty)를 가진 구형파를 발생시킬 수 있는 클럭 스퀘어 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<14> 본 발명에 따른 클럭 스퀘어 회로는 반도체 칩 패드와 구형파 발생회로를 갖는 클럭 스퀘어 회로에 있어서, 상기 패드와 상기 구형파 발생회로 사이에 커패시터를 구비하여 온도, 공정, 또는 전원전압이 변화하더라도 안정된 듀티를 가진 구형파를 발생시킬 수 있는 것을 특징으로 한다.

<15> 상기 구형파 발생회로는 상기 커패시터의 출력신호를 수신하여 반전시키는 인버터, 상기 인버터에 병렬 연결된 피드백 저항, 및 상기 인버터의 출력신호를 수신하여 구형파를 만드는 슈미트트리거 회로를 구비하는 것을 특징으로 한다.

<16> 이하, 첨부된 도면을 참조하여 본 발명에 따른 비동기 디지털 멀티플렉서에 대해 설명한다.

<17> 도 4는 본 발명에 따른 클럭 스퀘어 회로를 나타내는 도면으로서, 도 1에 도시된 종래의 클럭 스퀘어 회로에 커패시터(C1)이 추가되었다. 도 4에 도시된 본 발명에 따른 클럭 스퀘어 회로는 커플링 커패시터(Ccp), 패드(10), 정전기 보호회로(30), 저항(R1), 커패시터(C1), 및 구형파 발생회로(40)를 구비한다. 정전기 보호회로(30)는 다이오드 연결된 PMOS 트랜지스터(MP1)와 NMOS 트랜지스터(MN1)를 구비한다. 구형파 발생회로(40)는

인버터(INV1), 인버터(INV1)에 병렬 연결된 피드백 저항(Rfb), 및 인버터(INV1)의 출력단에 연결된 슈미트트리거 회로(20)를 구비한다.

<18> 도 5는 온도, 공정, 및 전원전압이 변화할 경우 도 4에 도시된 본 발명에 따른 클럭 스쿼어 회로의 주요 부분의 파형을 나타낸 도면이다.

<19> 이하, 도 4와 도 5를 참조하여 본 발명에 따른 클럭 스쿼어 회로의 동작에 대해 설명한다.

<20> 커플링 커패시터(Ccp)는 입력전압(VIN)을 수신하여 DC 성분을 제거하고 AC 성분만을 통과시키고, 패드(10)는 커플링 커패시터(Ccp)의 출력을 수신하여 반도체 칩 내부로 전달한다. 정전기 보호회로(30)는 전원전압(VDD)과 제 1 노드(N1) 사이에 연결된 PMOS 트랜지스터(MP1)와 제 1 노드(N1)와 접지(GND) 사이에 연결된 NMOS 트랜지스터(MN1)로 구성되고 패드(10)에 정전기가 발생할 경우 전류 경로를 형성함으로써 반도체 칩 내부의 회로를 보호하는 기능을 한다. 구형파 발생회로(40)는 커패시터(C1)로부터 수신한 전압 신호의 파형을 구형파로 만드는 기능을 한다. 인버터(INV1)는 커패시터(C1)를 통과한 신호를 수신하여 반전시키고 증폭하는 기능을 하며, 슈미트트리거 회로(20)는 인버터(INV1)의 출력신호를 수신하여 구형파를 만드는 기능을 한다.

<21> 커패시터(C1)의 삽입함으로 인해 패드(10)와 구형파 발생회로(40)의 입력단은 서로 DC 적으로 격리되어 있으므로, 온도, 공정, 또는 전원전압의 변화에 따른 패드에서의 전압의 변화는 구형파 발생회로(40)의 입력단에는 영향을 미치지 않는다. 인버터(INV1)의 DC 동작전압은 피드백 저항(Rfb)을 통해서 흐르는 전류와

노드(N1)에서 발생하는 누설전류에 의해 결정되며, 커패시터(C1)에 의한 누설전류와 인버터(INV1)의 게이트 누설전류를 무시할 수 있다고 가정하면, 인버터(INV1)의 DC 동작전압은 주로 피드백 저항(Rfb)에 의해서 결정된다. 비록 누설전류가 큰 공정(High Leakage Process)이라 하더라도 인버터(INV1)의 크기가 그리 크지 않고 커패시터(C1)로서 정확도가 높은 MIM(Metal-Insulator-Metal) 커패시터를 사용하면 누설전류는 피드백 저항(Rfb)을 통해서 흐르는 전류보다 충분히 작게 만들 수 있다. 따라서, 구형파 발생회로(40)의 입력단의 동작전압(V(N2))은 $VDD/2$ 근처의 안정된 값을 유지한다. 한편, 노드(N2)에서 발생하는 누설전류가 충분히 작게 되므로 피드백 저항(Rfb)의 저항치를 비교적 작게 설계할 수 있다. 피드백 저항(Rfb)의 저항치를 결정할 때는 노드(N2)에서 발생하는 누설전류와 커패시터(C1) 값과 패드(10)에 입력되는 입력신호(VIN)의 주파수를 고려해야 한다.

<22> 종래에는 정전기 보호소자(MP1, MN1) 등을 통해 흐를 수 있는 누설전류가 온도, 공정, 또는 전원전압의 변화에 따라 변화하기 때문에 패드 전압(VP)이 변화하고 출력전압(VOUT)이 구형파가 되지 않는 경우가 발생했다. 도 4에 도시된 본 발명에 따른 클럭 스쿼어 회로는 구형파 발생회로(40)의 입력단에 커패시터(C1)를 구비함으로 인해, 온도, 공정, 또는 전원전압의 변화에 따라 패드 전압(VP)이 변화하더라도 구형파 발생회로(40)의 입력단 전압(V(N2))은 $VDD/2(0.5\text{ V})$ 근처의 안정된 전압을 유지하고 클럭 스쿼어 회로의 출력전압은 완벽한 구형파로 된다.

<23> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역

으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<24> 상술한 바와 같이, 본 발명에 따른 클럭 스쿼어 회로는 온도, 공정, 또는 전원전압이 변화하더라도 안정된 듀티(Duty)를 가진 구형파를 발생시킬 수 있다.

1020020073227

출력 일자: 2003/5/20

【특허청구범위】**【청구항 1】**

반도체 칩 패드와 구형파 발생회로를 갖는 클럭 스퀘어 회로에 있어서,
상기 패드와 상기 구형파 발생회로 사이에 커패시터를 구비하여 온도, 공정, 또는 전원전압이 변화하더라도 안정된 듀티를 가진 구형파를 발생시킬 수 있는 것을 특징으로 하는 클럭 스퀘어 회로.

【청구항 2】

제 1 항에 있어서, 상기 구형파 발생회로는
상기 커패시터의 출력신호를 수신하여 반전시키는 인버터;
상기 인버터에 병렬 연결된 피드백 저항; 및
상기 인버터의 출력신호를 수신하여 구형파를 만드는 슈미트트리거 회로를 구비하는 것을 특징으로 하는 클럭 스퀘어 회로.

【청구항 3】

제 1 항에 있어서, 상기 커패시터는
MIM(Metal Insulator Metal) 커패시터인 것을 특징으로 하는 클럭 스퀘어 회로.

【청구항 4】

반도체 칩의 외부회로와 내부회로를 연결하는 반도체 칩 패드;
상기 반도체 칩 패드에 연결되어 있는 정전기 보호회로;
상기 반도체 칩 패드에 연결된 일측단자를 갖는 커패시터; 및

상기 커패시터의 타측단자에 연결되어 있고 수신된 신호를 구형파로 만들어 주는 구형파 발생회로를 구비하는 것을 특징으로 하는 클럭 스퀘어 회로.

【청구항 5】

제 4 항에 있어서, 상기 정전기 보호회로는
상기 반도체 칩 패드와 전원전압 사이에 다이오드 연결된 PMOS 트랜지스터; 및
상기 반도체 칩 패드와 접지전압 사이에 다이오드 연결된 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 클럭 스퀘어 회로.

【청구항 6】

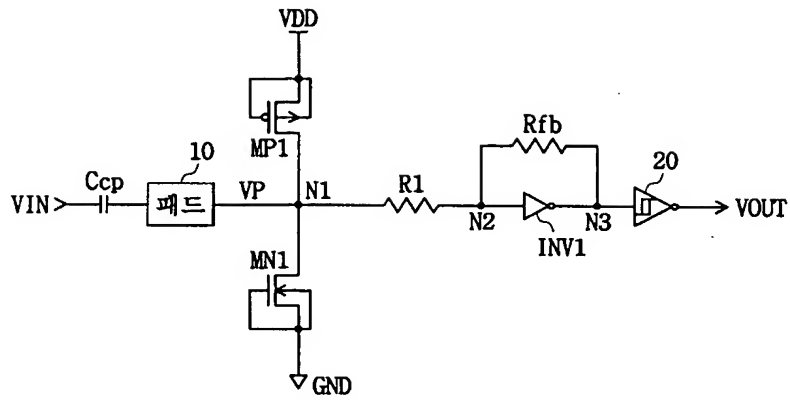
제 4 항에 있어서, 상기 구형파 발생회로는
상기 커패시터의 출력신호를 수신하여, 반전시키는 인버터;
상기 인버터에 병렬 연결된 피드백 저항; 및
상기 인버터의 출력신호를 수신하여 구형파를 만드는 슈미트트리거 회로를 구비하는 것을 특징으로 하는 클럭 스퀘어 회로.

【청구항 7】

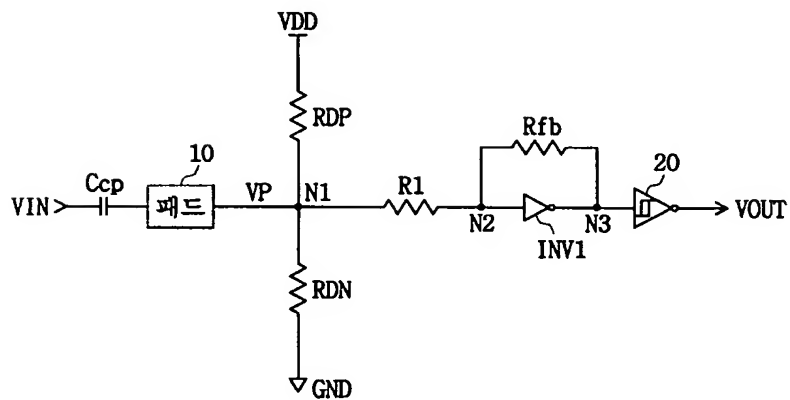
제 4 항에 있어서, 상기 커패시터는
MIM(Metal Insulator Metal) 커패시터인 것을 특징으로 하는 클럭 스퀘어 회로.

【도면】

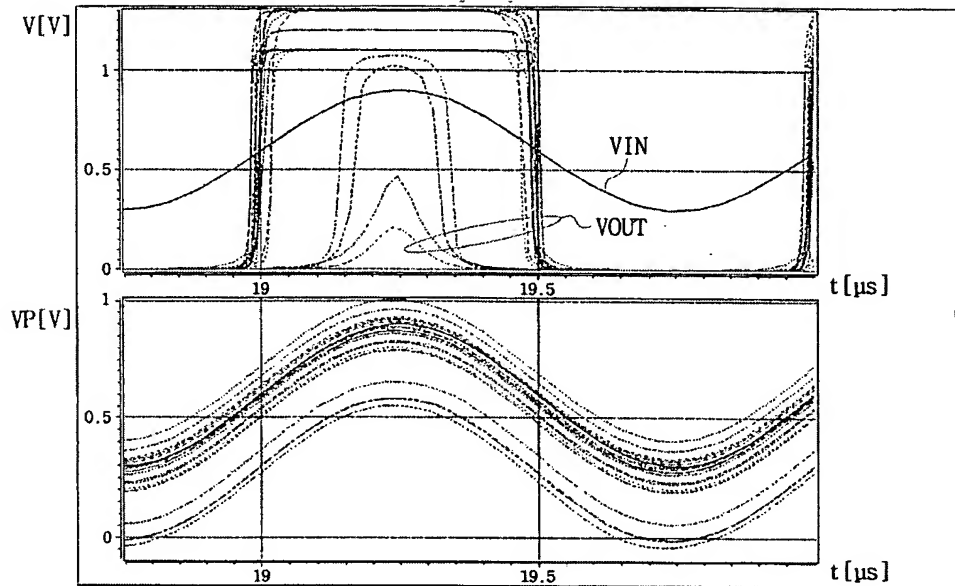
【도 1】



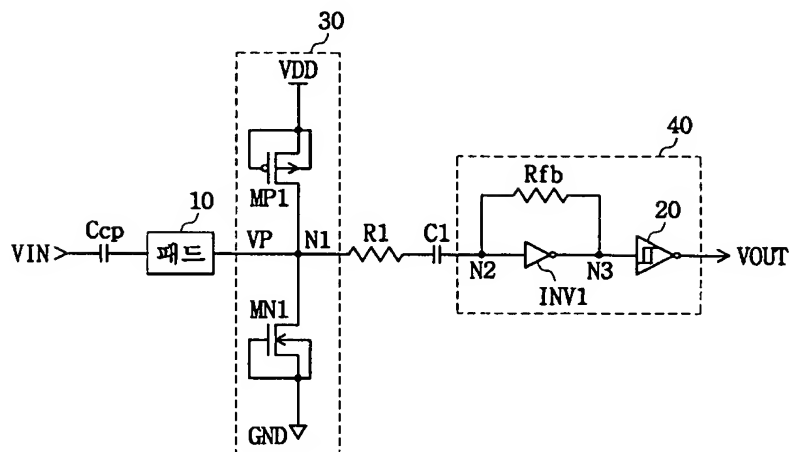
【도 2】



【도 3】



【도 4】



【도 5】

